

PAT-NO: JP411017146A

DOCUMENT-IDENTIFIER: JP 11017146 A

TITLE: MANUFACTURE OF SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE

PUBN-DATE: January 22, 1999

INVENTOR-INFORMATION:

NAME

ASANO, ISAMU

KAWAKITA, KEIZO

YAMADA, SATORU

NAKAMURA, YOSHITAKA

IMAI, AKIRA

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP09172595

APPL-DATE: June 27, 1997

INT-CL (IPC): H01L027/108, H01L021/8242 , H01L021/027 ,
H01L021/8238
, H01L027/092

ABSTRACT:

PROBLEM TO BE SOLVED: To improve processing accuracy of a lower electrode of an information storage capacitive element of a DRAM.

SOLUTION: In a phase shift mask 80A wherein a group of groove patterns 55A for forming a lower electrode of an information storage capacitive element and a frame-shaped light shielding pattern 59A surrounding the group therewith are formed, no region is permitted to exist, in which the space between the outermost peripheral light shielding pattern 55A and the light shielding pattern 59A becomes insufficient for the light resolution. For that purpose, spaces X_w and Y_w between the outermost light shielding pattern 55A and the light shielding pattern 59A along directions of X and Y are, respectively, made larger in size than the light resolution (i.e., $X_w > X_s$, $Y_w > Y_s$).

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平11-17146

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁹

識別記号

F I

H 0 1 L 27/108
21/8242
21/027
21/8238
27/092

H 0 1 L 27/10 6 8 1 F
21/30 5 0 2 P
5 2 8
27/08 3 2 1 K
27/10 6 2 1 C

審査請求 未請求 請求項の数6 O L (全 36 頁) 最終頁に続く

(21)出願番号 特願平9-172595

(22)出願日 平成9年(1997) 6月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 浅野 勇

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 川北 恵三

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 山田 悟

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

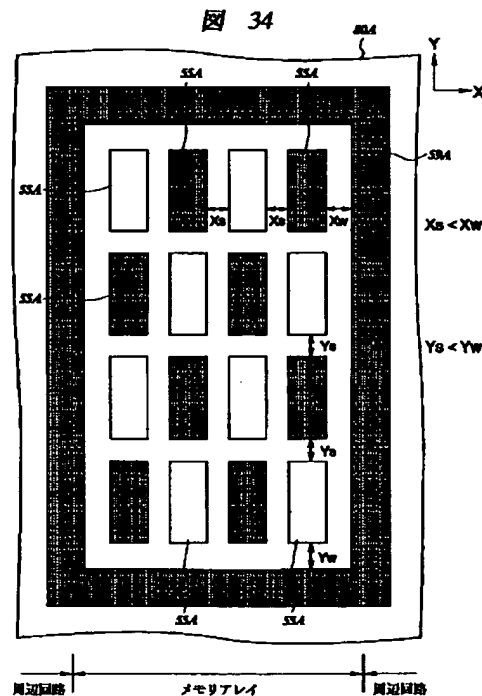
最終頁に続く

(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 DRAMの情報蓄積用容量素子の下部電極の加工精度を向上させる。

【解決手段】 情報蓄積用容量素子の下部電極を形成するための溝パターン55A群とそれらを取り囲む枠状の遮光パターン59Aとを形成した位相シフトマスク80Aにおいて、最外周部の遮光パターン55Aと遮光パターン59Aとのスペースが光の解像度以下となる領域が生じないようにするため、最外周部の遮光パターン55Aと遮光パターン59AとのX方向に沿ったスペース(Xw)およびY方向に沿ったスペース(Yw)を、いずれも光の解像度以上の寸法とする($Xw > Xs$ 、 $Yw > Ys$)。



【特許請求の範囲】

【請求項1】 メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面のメモリアレイにメモリセル選択用MISFETを形成し、周辺回路領域に周辺回路のMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび周辺回路のMISFETの上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚を有する第1絶縁膜を堆積する工程、(c)第1方向およびこれと直交する第2方向に沿って格子状に配列した溝パターン群と前記溝パターン群を囲む長溝パターンとを形成した位相シフトマスクを用いて前記第1絶縁膜上にフォトリソパターンを形成し、前記フォトリソパターンをマスクにしたドライエッチングでメモリアレイの前記第1絶縁膜を開孔して溝を形成すると共に、メモリアレイと周辺回路領域との境界部の前記第1絶縁膜を開孔して前記メモリアレイを囲む長溝を形成する工程、(d)前記溝および前記長溝の内部を含む前記第1絶縁膜の上部に、情報蓄積用容量素子の下部電極を構成する第1導電膜を堆積した後、前記第1導電膜の上部に前記溝および前記長溝を埋め込むのに十分な膜厚の第2絶縁膜を堆積する工程、(e)前記第2絶縁膜をエッチングして前記第1絶縁膜の上部の前記第1導電膜を露出させた後、周辺回路領域を覆う第1のフォトリソ膜をマスクにして前記第1導電膜をエッチングすることにより、前記溝および前記長溝の内部のみに前記第1導電膜を残す工程、(f)周辺回路領域を覆う第2のフォトリソ膜をマスクにして前記溝とこれに隣接する溝との隙間の前記第1絶縁膜および前記溝の内部の前記第2絶縁膜をエッチングすることにより、上方に開孔部を有する筒形の下部電極を形成する工程、(g)前記下部電極の上部に第3絶縁膜および第2導電膜を堆積した後、前記第2導電膜および前記第2絶縁膜をパターニングすることにより、前記第1導電膜からなる下部電極と、前記第3絶縁膜からなる容量絶縁膜と、前記第2導電膜からなる上部電極とで構成される情報蓄積用容量素子を形成する工程、を含み、前記位相シフトマスクは、前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第1方向に沿ったスペースが、第1方向に沿って隣接する前記溝パターン同士のスペースよりも大きく、かつ前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第2方向に沿ったスペースが、第2方向に沿って隣接する前記溝パターン同士のスペースよりも大きいことを特徴する半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、前記位相シフトマスクは、レベンソン

型の位相シフトマスクであることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法であって、前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第1方向に沿ったスペースおよび第2方向に沿ったスペースは、それぞれ光の解像度以上の寸法であり、第1方向および第2方向に沿って隣接する前記溝パターン同士のスペースは、それぞれ光の解像度以下の寸法であることを特徴する半導体集積回路装置の製造方法。

【請求項4】 メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面のメモリアレイにメモリセル選択用MISFETを形成し、周辺回路領域に周辺回路のMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび周辺回路のMISFETの上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚を有する第1絶縁膜を堆積する工程、(c)第1方向およびこれと直交する第2方向に沿って格子状に配列した溝パターン群と前記溝パターン群を囲む長溝パターンとを形成した位相シフトマスクを用いて前記第1絶縁膜上にフォトリソパターンを形成し、前記フォトリソパターンをマスクにしたドライエッチングでメモリアレイの前記第1絶縁膜を開孔して溝を形成すると共に、メモリアレイと周辺回路領域との境界部の前記第1絶縁膜を開孔して前記メモリアレイを囲む長溝を形成する工程、

(d)前記溝および前記長溝の内部を含む前記第1絶縁膜の上部に、情報蓄積用容量素子の下部電極を構成する第1導電膜を堆積した後、前記第1導電膜の上部に前記溝および前記長溝を埋め込むのに十分な膜厚の第2絶縁膜を堆積する工程、(e)前記第2絶縁膜をエッチングして前記第1絶縁膜の上部の前記第1導電膜を露出させた後、周辺回路領域を覆う第1のフォトリソ膜をマスクにして前記第1導電膜をエッチングすることにより、前記溝および前記長溝の内部のみに前記第1導電膜を残す工程、(f)周辺回路領域を覆う第2のフォトリソ膜をマスクにして前記溝とこれに隣接する溝との隙間の前記第1絶縁膜および前記溝の内部の前記第2絶縁膜をエッチングすることにより、上方に開孔部を有する筒形の下部電極を形成する工程、(g)前記下部電極の上部に第3絶縁膜および第2導電膜を堆積した後、前記第2導電膜および前記第2絶縁膜をパターニングすることにより、前記第1導電膜からなる下部電極と、前記第3絶縁膜からなる容量絶縁膜と、前記第2導電膜からなる上部電極とで構成される情報蓄積用容量素子を形成する工程、を含み、前記位相シフトマスクに形成された前記溝パターン群のうちの最外周部の溝パターンと前記

長溝パターンとは、互いの位相が逆相になるように構成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、前記位相シフトマスクは、レベンソン型の位相シフトマスクであることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4記載の半導体集積回路装置の製造方法であって、前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第1方向に沿ったスペースおよび第2方向に沿ったスペースは、それぞれ光の解像度以下の寸法であり、第1方向および第2方向に沿って隣接する前記溝パターン同士のスペースは、それぞれ光の解像度以下の寸法であることを特徴する半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、半導体基板の主面上にマトリクス状に配列した複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor) とこれに直列に接続された1個の情報蓄積用容量素子 (キャパシタ) とで構成される。メモリセル選択用MISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域により構成される。ビット線は、メモリセル選択用MISFETの上部に配置され、その延在方向に隣接する2個のメモリセル選択用MISFETによって共有されるソース、ドレインの一方と電気的に接続される。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、ソース、ドレインの他方と電気的に接続される。

【0003】特開平7-7084号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン (Capacitor Over Bitline) 構造のDRAMを開示している。この公報に記載されたDRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量 (Cs) の減少を補うために、ビット線の上部に配置した情報蓄積用容量素子の下部電極 (蓄積電極) を円筒状に加工することによってその表面積を増やし、その上部に容量絶縁膜と上部電極 (プレート電極) とを形成している。

【0004】また、この公報に記載されたDRAMは、メモリアレイと周辺回路領域との境界部にメモリアレイ

を囲む棒状の長溝 (チャネル) を形成し、その外側の周辺回路領域に厚い絶縁膜を堆積することによって、メモリアレイと周辺回路領域との段差を解消し、併せて周辺回路領域の平坦化を図っている。この長溝は、情報蓄積用容量素子の下部電極を円筒状に加工する工程で同時に形成され、その内壁は、下部電極と同じ材料 (多結晶シリコン膜) で構成されている。

【0005】

【発明が解決しようとする課題】本発明者は、絶縁膜に形成された長溝によって周囲を囲まれたメモリアレイの内側に情報蓄積用容量素子の下部電極を形成する方法に付いて検討した。その内容は、次の通りである。

【0006】このような下部電極を形成するには、まず、メモリセル選択用MISFETおよび周辺回路のMISFETの上部にビット線を形成し、このビット線の上部に情報蓄積用容量素子の高さに相当する膜厚の絶縁膜を堆積する。次に、フォトリソ膜をマスクにしたドライエッチングでこの絶縁膜を開孔することにより、メモリアレイに溝を形成し、同時にメモリアレイと周辺回路領域との境界部にメモリアレイを囲む長溝を形成する。

【0007】次に、上記溝および長溝の内部を含む絶縁膜の上部に下部電極用の導電膜を堆積し、さらにその上部に溝および長溝を埋め込むのに十分な膜厚の第2絶縁膜を堆積した後、この第2絶縁膜をエッチングして導電膜を露出させ、続いてこの導電膜をエッチングして溝および長溝の内部のみに残す。

【0008】その後、周辺回路領域の絶縁膜を覆うフォトリソ膜をマスクにして溝と溝の隙間に残った絶縁膜および溝の内部の第2絶縁膜をエッチングすることにより、溝の内部に残った前記導電膜によって、上方に開口部を有する円筒形の下部電極が形成される。

【0009】上記したプロセスでは、メモリセルサイズが微細になると、フォトリソ膜をマスクにしたドライエッチングでメモリアレイの絶縁膜に溝を形成し、同時にメモリアレイと周辺回路領域との境界部の絶縁膜にメモリアレイを囲む長溝を形成する際、溝および長溝のパターンを精度よくフォトリソ膜に転写することが困難となるため、位相シフトマスクの導入が不可避となる。

【0010】メモリアレイには、上記溝がX方向およびこれと直交するY方向に沿って格子状に配置されるため、このようなパターンを精度よく転写する位相シフトマスクとしては、隣り合った遮光パターン間の位相を互いに180度反転させるレベンソン型の位相シフトマスクが好適である。

【0011】しかし、上記のような溝パターン群とそれらを取り囲む棒状の長溝パターンとを形成したレベンソン型の位相シフトマスクにおいては、隣り合った溝パターン間の位相を互いに180度反転させることは可能で

あるが、溝パターン群のうち、最外周部に配置された溝パターンの一部と長溝パターンとは位相が同相になるために十分な解像ができなくなり、溝と長溝とがつながってしまうという不具合が生じる。

【0012】本発明の目的は、メモリセル選択用MISFETの上部に形成した絶縁膜に情報蓄積用容量素子の下部電極が形成される多数の溝とこれらの溝を囲む長溝を形成する際に、光の波長以下の寸法を有する溝5と長溝を良好な寸法精度で形成する技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかにするであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】(1)本発明の半導体集積回路装置の製造方法は、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面のメモリアレイにメモリセル選択用MISFETを形成し、周辺回路領域に周辺回路のMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび周辺回路のMISFETの上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚を有する第1絶縁膜を堆積する工程、(c)第1方向およびこれと直交する第2方向に沿って格子状に配列した溝パターン群と前記溝パターン群を囲む長溝パターンとを形成した位相シフトマスクを用いて前記第1絶縁膜上にフォトレジストパターンを形成し、前記フォトレジストパターンをマスクにしたドライエッチングでメモリアレイの前記第1絶縁膜を開孔して溝を形成すると共に、メモリアレイと周辺回路領域との境界部の前記第1絶縁膜を開孔して前記メモリアレイを囲む長溝を形成する工程、

(d)前記溝および前記長溝の内部を含む前記第1絶縁膜の上部に、情報蓄積用容量素子の下部電極を構成する第1導電膜を堆積した後、前記第1導電膜の上部に前記溝および前記長溝を埋め込むのに十分な膜厚の第2絶縁膜を堆積する工程、(e)前記第2絶縁膜をエッチングして前記第1絶縁膜の上部の前記第1導電膜を露出させた後、周辺回路領域を覆う第1のフォトレジスト膜をマスクにして前記第1導電膜をエッチングすることにより、前記溝および前記長溝の内部のみに前記第1導電膜を残す工程、(f)周辺回路領域を覆う第2のフォトレジスト膜をマスクにして前記溝とこれに隣接する溝との隙間の前記第1絶縁膜および前記溝の内部の前記第2絶縁膜をエッチングすることにより、上方に開孔部を有す

る筒形の下部電極を形成する工程、(g)前記下部電極の上部に第3絶縁膜および第2導電膜を堆積した後、前記第2導電膜および前記第2絶縁膜をパターニングすることにより、前記第1導電膜からなる下部電極と、前記第3絶縁膜からなる容量絶縁膜と、前記第2導電膜からなる上部電極とで構成される情報蓄積用容量素子を形成する工程、を含み、前記位相シフトマスクは、前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第1方向に沿ったスペースが、第1方向に沿って隣接する前記溝パターン同士のスペースよりも大きく、かつ前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第2方向に沿ったスペースが、第2方向に沿って隣接する前記溝パターン同士のスペースよりも大きい。

【0016】(2)本発明の半導体集積回路装置の製造方法は、前記位相シフトマスクがレベンソン型の位相シフトマスクである。

【0017】(3)本発明の半導体集積回路装置の製造方法は、前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第1方向に沿ったスペースおよび第2方向に沿ったスペースがそれぞれ光の解像度以上の寸法であり、第1方向および第2方向に沿って隣接する前記溝パターン同士のスペースがそれぞれ光の解像度以下の寸法である。

【0018】(4)本発明の半導体集積回路装置の製造方法は、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面のメモリアレイにメモリセル選択用MISFETを形成し、周辺回路領域に周辺回路のMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび周辺回路のMISFETの上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚を有する第1絶縁膜を堆積する工程、(c)第1方向およびこれと直交する第2方向に沿って格子状に配列した溝パターン群と前記溝パターン群を囲む長溝パターンとを形成した位相シフトマスクを用いて前記第1絶縁膜上にフォトレジストパターンを形成し、前記フォトレジストパターンをマスクにしたドライエッチングでメモリアレイの前記第1絶縁膜を開孔して溝を形成すると共に、メモリアレイと周辺回路領域との境界部の前記第1絶縁膜を開孔して前記メモリアレイを囲む長溝を形成する工程、

(d)前記溝および前記長溝の内部を含む前記第1絶縁膜の上部に、情報蓄積用容量素子の下部電極を構成する第1導電膜を堆積した後、前記第1導電膜の上部に前記溝および前記長溝を埋め込むのに十分な膜厚の第2絶縁膜を堆積する工程、(e)前記第2絶縁膜をエッチングして前記第1絶縁膜の上部の前記第1導電膜を露出させ

た後、周辺回路領域を覆う第1のフォトレジスト膜をマスクにして前記第1導電膜をエッチングすることにより、前記溝および前記長溝の内部のみに前記第1導電膜を残す工程、(f)周辺回路領域を覆う第2のフォトレジスト膜をマスクにして前記溝とこれに隣接する溝との隙間の前記第1絶縁膜および前記溝の内部の前記第2絶縁膜をエッチングすることにより、上方に開孔部を有する筒形の下部電極を形成する工程、(g)前記下部電極の上部に第3絶縁膜および第2導電膜を堆積した後、前記第2導電膜および前記第2絶縁膜をパターニングすることにより、前記第1導電膜からなる下部電極と、前記第3絶縁膜からなる容量絶縁膜と、前記第2導電膜からなる上部電極とで構成される情報蓄積容量素子を形成する工程、を含み、前記位相シフトマスクに形成された前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとは、互いの位相が逆相になるように構成されている。

【0019】(5)本発明の半導体集積回路装置の製造方法は、前記位相シフトマスクがレベンソン型の位相シフトマスクであることを特徴とする半導体集積回路装置の製造方法。

【0020】(6)本発明の半導体集積回路装置の製造方法は、前記溝パターン群のうちの最外周部の溝パターンと前記長溝パターンとの第1方向に沿ったスペースおよび第2方向に沿ったスペースがそれぞれ光の解像度以下の寸法であり、第1方向および第2方向に沿って隣接する前記溝パターン同士のスペースがそれぞれ光の解像度以下の寸法である。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0022】(実施の形態1)図1は、本実施の形態のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0023】図2は、上記DRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WLn-1、WLn、WLn+1...)と複数のビット線BLおよびそれらの交点に配置された複数のメモセル(MC)により構成されている。1ビットの情報記憶

する1個のメモセルは、1個の情報蓄積容量素子Cとこれに直列に接続された1個のメモセル選択用MISFETQsとで構成されている。メモセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0024】次に、本実施の形態のDRAMの製造方法を図3～図43を用いて工程順に説明する。

【0025】まず、図3に示すように、p型で比抵抗が $10\Omega\text{cm}$ 程度の半導体基板1を 850°C 程度でウェット酸化してその表面に膜厚 10nm 程度の薄い酸化シリコン膜2を形成した後、この酸化シリコン膜2の上部にCVD(Chemical Vapor Deposition)法で膜厚 140nm 程度の窒化シリコン膜3を堆積する。酸化シリコン膜2は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をシンタリング(焼き締め)するときなどに基板に加わるストレスを緩和するために形成される。窒化シリコン膜3は酸化されにくい性質を持つので、その下部(活性領域)の基板表面の酸化を防止するマスクとして利用される。

【0026】次に、図4に示すように、フォトレジスト膜4をマスクにして窒化シリコン膜3、酸化シリコン膜2および半導体基板1をドライエッチングすることにより、素子分離領域の半導体基板1に深さ $300\sim400\text{nm}$ 程度の溝5aを形成する。溝5aを形成するには、フォトレジスト膜4をマスクにして窒化シリコン膜3をドライエッチングし、次いでフォトレジスト膜4を除去した後、窒化シリコン膜3をマスクにして酸化シリコン膜2および半導体基板1をドライエッチングしてもよい。

【0027】次に、フォトレジスト膜4を除去した後、図5に示すように、前記のエッチングによって溝5aの内壁に生じたダメージ層を除去するために、半導体基板1を $850\sim900^\circ\text{C}$ 程度でウェット酸化して溝5aの内壁に膜厚 10nm 程度の薄い酸化シリコン膜6を形成する。

【0028】次に、図6に示すように、半導体基板1上に膜厚 $300\sim400\text{nm}$ 程度の酸化シリコン膜7を堆積した後、半導体基板1を 1000°C 程度でドライ酸化することにより、溝5aに埋め込まれた酸化シリコン膜7の膜質を改善するためのシンタリング(焼き締め)を行う。酸化シリコン膜7は、例えばオゾン(O_3)とテトラエトキシシラン(TEOS)とをソースガスに用いた熱CVD法で堆積する。

【0029】次に、図7に示すように、酸化シリコン膜7の上部にCVD法で膜厚 140nm 程度の窒化シリコン膜8を堆積した後、図8に示すように、フォトレジスト膜9をマスクにして窒化シリコン膜8をドライエッチングすることにより、メモリアレイと周辺回路領域との境

10

20

30

40

50

界面のような相対的に広い面積の溝5aの上部のみに窒化シリコン膜8を残す。溝5aの上部に残った窒化シリコン膜8は、次の工程で酸化シリコン膜7をCMP法で研磨して平坦化する際に、相対的に広い面積の溝5aの内部の酸化シリコン膜7が相対的に狭い面積の溝5aの内部の酸化シリコン膜7に比べて深く研磨される現象（ディッシング；dishing）を防止するために形成される。

【0030】次に、フォトレジスト膜9を除去した後、図9に示すように、窒化シリコン膜3、8をストップに用いたCMP法で酸化シリコン膜7を研磨して溝5aの内部に残すことにより、素子分離溝5を形成する。

【0031】次に、熱リン酸を用いたウェットエッチングで窒化シリコン膜3、8を除去した後、図10に示すように、メモリセルを形成する領域（メモリアレイ）の半導体基板1にn型不純物、例えばP（リン）をイオン打ち込みしてn型半導体領域10を形成し、メモリアレイと周辺回路領域の一部（nチャネル型MISFETを形成する領域）にp型不純物、例えばB（ホウ素）をイオン打ち込みしてp型ウエル11を形成し、周辺回路領域の他の一部（pチャネル型MISFETを形成する領域）にn型不純物、例えばP（リン）をイオン打ち込みしてn型ウエル12を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、例えばBF₂（フッ化ホウ素）をp型ウエル11およびn型ウエル12にイオン打ち込みする。n型半導体領域10は、入出力回路などから半導体基板1を通じてメモリアレイのp型ウエル11にノイズが侵入するのを防止するために形成される。

【0032】次に、p型ウエル11およびn型ウエル12の各表面の酸化シリコン膜2をHF（フッ酸）系の洗浄液を使って除去した後、半導体基板1を850℃程度でウェット酸化してp型ウエル11およびn型ウエル12の各表面に膜厚7nm程度の清浄なゲート酸化膜13を形成する。

【0033】特に限定はされないが、上記ゲート酸化膜13を形成した後、半導体基板1をNO（酸化窒素）雰囲気中またはN₂O（亜酸化窒素）雰囲気中で熱処理することによって、ゲート酸化膜13と半導体基板1との界面に窒素を偏析させてもよい（酸窒化処理）。ゲート酸化膜13が7nm程度まで薄くなると、半導体基板1との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板1との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極薄ゲート酸化膜13の信頼性を向上できる。

【0034】次に、図11に示すように、ゲート酸化膜13の上部にゲート電極14A、14B、14Cを形成する。ゲート電極14Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線

WLとして使用される。このゲート電極14A（ワード線WL）の幅、すなわちゲート長は、メモリセル選択用MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法（例えば0.24μm程度）で構成される。また、隣接するゲート電極14A（ワード線WL）同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法（例えば0.22μm）で構成される。ゲート電極14Bおよびゲート電極14Cは、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0035】ゲート電極14A（ワード線WL）およびゲート電極14B、14Cは、例えばP（リン）などのn型不純物をドーブした膜厚70nm程度の多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部に膜厚50nm程度のWN（タングステンナイトライド）膜と膜厚100nm程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚150nm程度の窒化シリコン膜15をCVD法で堆積した後、フォトレジスト膜16をマスクにしてこれらの膜をパターンニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN膜の他、TiN（チタンナイトライド）膜などを使用することもできる。

【0036】ゲート電極14A（ワード線WL）の一部を低抵抗の金属（W）で構成した場合には、そのシート抵抗を2〜2.5Ω/□程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極14（ワード線WL）をA1配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を1層減らすことができる。

【0037】次に、フォトレジスト膜16を除去した後、フッ酸などのエッチング液を使って、半導体基板1の表面に残ったドライエッチング残渣やフォトレジスト残渣などを除去する。このウェットエッチングを行うと、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cの下部以外の領域のゲート酸化膜13が削られると同時に、ゲート側壁下部のゲート酸化膜13も等方的にエッチングされてアンダーカットが生じるため、そのままではゲート酸化膜13の耐圧が低下する。そこで、半導体基板1を900℃程度でウェット酸化することによって、削れたゲート酸化膜13の膜質を改善する。

【0038】次に、図12に示すように、n型ウエル12にp型不純物、例えばB（ホウ素）をイオン打ち込みしてゲート電極14Cの両側のn型ウエル12にp⁻型半導体領域17を形成する。また、p型ウエル11にn型不純物、例えばP（リン）をイオン打ち込みしてゲート電極14Bの両側のp型ウエル11にn⁻型半導体領

11

域18を形成し、ゲート電極14Aの両側のp型ウエル11にn型半導体領域19を形成する。これにより、メモリアレイにメモリセル選択用MISFETQsが形成される。

【0039】次に、図13に示すように、半導体基板1上にCVD法で膜厚50～100nm程度の窒化シリコン膜20を堆積した後、図14に示すように、メモリアレイの窒化シリコン膜20をフォトリソ膜21で覆い、周辺回路領域の窒化シリコン膜20を異方性エッチングすることにより、ゲート電極14B、14Cの側壁にサイドウォールスペーサ20aを形成する。このエッチングは、ゲート酸化膜13や素子分離溝5に埋め込まれた酸化シリコン膜7の削れ量を最少とするために、酸化シリコン膜に対する窒化シリコン膜20のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極14B、14C上の窒化シリコン膜15の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0040】次に、フォトリソ膜21を除去した後、図15に示すように、周辺回路領域のn型ウエル12にp型不純物、例えばB（ホウ素）をイオン打ち込みしてpチャネル型MISFETのp⁺型半導体領域22（ソース、ドレイン）を形成し、周辺回路領域のp型ウエル11にn型不純物、例えばAs（ヒ素）をイオン打ち込みしてnチャネル型MISFETのn⁺型半導体領域23（ソース、ドレイン）を形成する。これにより、周辺回路領域にLDD（Lightly Doped Drain）構造を備えたpチャネル型MISFETQpおよびnチャネル型MISFETQnが形成される。

【0041】次に、図16に示すように、半導体基板1上に膜厚300nm程度のSOG（スピノングラス）膜24をスピノ塗布した後、半導体基板1を800℃、1分程度熱処理してSOG膜24をシンタリング（焼き締め）する。

【0042】次に、図17に示すように、SOG膜24の上部に膜厚600nm程度の酸化シリコン膜25を堆積した後、この酸化シリコン膜25をCMP法で研磨してその表面を平坦化する。酸化シリコン膜25は、例えばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0043】このように、本実施の形態では、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cの上部に成膜直後でも平坦性が良好なSOG膜24を塗布し、さらにその上部に堆積した酸化シリコン膜25をCMP法で平坦化する。これにより、ゲート電極14A（ワード線WL）同士の微細な隙間のギャップフィル性が向上すると共に、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cの上部の絶縁膜の平坦化を実現することができる。

【0044】次に、図18に示すように、酸化シリコン

12

膜25の上部に膜厚100nm程度の酸化シリコン膜26を堆積する。この酸化シリコン膜26は、CMP法で研磨されたときに生じた前記酸化シリコン膜25の表面の微細な傷を補修するために堆積する。酸化シリコン膜26は、例えばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。酸化シリコン膜25の上部には、上記酸化シリコン膜26に代えてPSG（Phospho Silicate Glass）膜などを堆積してもよい。

【0045】次に、図19に示すように、フォトリソ膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部の酸化シリコン膜26、25およびSOG膜24を除去する。このエッチングは、窒化シリコン膜20に対する酸化シリコン膜26、25およびSOG膜24のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5の上部を覆っている窒化シリコン膜20が完全には除去されないようにする。

【0046】続いて、図20に示すように、上記フォトリソ膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部の窒化シリコン膜15とゲート酸化膜13とを除去することにより、n型半導体領域19（ソース、ドレイン）の一方の上部にコンタクトホール28を形成し、他方の上部にコンタクトホール29を形成する。

【0047】このエッチングは、酸化シリコン膜（ゲート酸化膜13および素子分離溝5内の酸化シリコン膜7）に対する窒化シリコン膜20のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5が深く削れないようにする。また、このエッチングは、窒化シリコン膜20が異方的にエッチングされるような条件で行い、ゲート電極14A（ワード線WL）の側壁に窒化シリコン膜20が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール28、29がゲート電極14A（ワード線WL）に対して自己整合で形成される。コンタクトホール28、29をゲート電極14A（ワード線WL）に対して自己整合で形成するには、あらかじめ窒化シリコン膜20を異方性エッチングしてゲート電極14A（ワード線WL）の側壁にサイドウォールスペーサを形成しておいてもよい。

【0048】次に、フォトリソ膜27を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、コンタクトホール28、29の底部に露出した基板表面のドライエッチング残渣やフォトリソ残渣などを除去する。その際、コンタクトホール28、29の側壁に露出したSOG膜24もエッチング液に曝されるが、SOG膜24は、前述した800℃程度のシ

ンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってコンタクトホール28、29の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール28、29の内部に埋め込まれるプラグ同士のショートを実に防止することができる。

【0049】次に、図21に示すように、コンタクトホール28、29の内部にプラグ30を形成する。プラグ30は、酸化シリコン膜26の上部にn型不純物（例えばP（リン））をドーブした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。

【0050】次に、図22に示すように、酸化シリコン膜26の上部に膜厚200nm程度の酸化シリコン膜31を堆積した後、半導体基板1を800℃程度で熱処理する。酸化シリコン膜31は、例えばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。この熱処理によって、プラグ30を構成する多結晶シリコン膜中のn型不純物がコンタクトホール28、29の底部からメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）に拡散し、n型半導体領域19が低抵抗化される。

【0051】次に、図23に示すように、フォトレジスト膜32をマスクにしたドライエッチングで前記コンタクトホール28の上部の酸化シリコン膜31を除去してプラグ30の表面を露出させる。次に、フォトレジスト膜32を除去した後、図24に示すように、フォトレジスト膜33をマスクにしたドライエッチングで周辺回路領域の酸化シリコン膜31、26、25、SOG膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQnのn⁺型半導体領域23（ソース、ドレイン）の上部にコンタクトホール34、35を形成し、pチャネル型MISFETQpのp⁺型半導体領域22（ソース、ドレイン）の上部にコンタクトホール36、37を形成する。

【0052】次に、フォトレジスト膜33を除去した後、図25に示すように、酸化シリコン膜31の上部にビット線BLおよび周辺回路の第1層配線38、39を形成する。ビット線BLおよび第1層配線38、39を形成するには、まず酸化シリコン膜31の上部に膜厚50nm程度のTi膜をスパッタリング法で堆積し、半導体基板1を800℃程度で熱処理する。次いで、Ti膜の上部に膜厚50nm程度のTiN膜をスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のW膜と膜厚200nm程度の窒化シリコン膜40とをCVD法で堆積した後、フォトレジスト膜41をマスクにしてこれらの膜をパターニングする。

【0053】酸化シリコン膜31の上部にTi膜を堆積した後、半導体基板1を800℃程度で熱処理することにより、Ti膜とSi基板とが反応し、nチャネル型MISFETQnのn⁺型半導体領域23（ソース、ドレイン）の表面とpチャネル型MISFETQpのp⁺型半導体領域22（ソース、ドレイン）の表面とに低抵抗のTiSi₂（チタンシリサイド）層42が形成される。図示は省略するが、このとき、メモリセル選択用MISFETQsのn型半導体領域19の上部のコンタクトホール28に埋め込まれたプラグ30の表面にもTiSi₂（チタンシリサイド）層42が形成される。これにより、n⁺型半導体領域23およびp⁺型半導体領域22に接続される配線（ビット線BL、第1層配線38、39）のコンタクト抵抗を低減することができる。また、ビット線BLをW膜/TiN膜/Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができると共に、ビット線BLと周辺回路の第1層配線38、39とを一つの工程で同時に形成することができるので、DRAMの製造工程を短縮することができる。さらに、周辺回路の第1層配線（38、39）をビット線BLと同層の配線で構成した場合には、第1層配線をメモリセルの上層のA1配線で構成する場合に比べて周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）と第1層配線とを接続するコンタクトホール（34～37）のアスペクト比が低減されるため、第1層配線の接続信頼性が向上する。

【0054】ビット線BLは、隣接するビット線BLとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。ビット線BLの間隔は例えば0.24μm程度とし、その幅は例えば0.22μm程度とする。

【0055】次に、フォトレジスト膜41を除去した後、図26に示すように、ビット線BLの側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線BLおよび第1層配線38、39の上部にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングして形成する。

【0056】次に、図27に示すように、ビット線BLおよび第1層配線38、39の上部に膜厚300nm程度のSOG膜44をスピン塗布する。次いで、半導体基板1を800℃、1分程度熱処理してSOG膜44をシタリング（焼き締め）する。

【0057】SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線BL同士の隙間を良好に埋め込むこ

とができる。また、SOG膜44は、BPSG膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ビット線BLの下層に形成されたメモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET(nチャネル型MISFETQn、pチャネル型MISFETQp)のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cを構成するメタル(W膜)の劣化を抑制できるので、DRAMのメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ビット線BLおよび第1層配線38、39を構成するTi膜、TiN膜、W膜の劣化を抑制して配線抵抗の低減を図ることができる。

【0058】次に、図28に示すように、SOG膜44の上部に膜厚600nm程度の酸化シリコン膜45を堆積した後、この酸化シリコン膜45をCMP法で研磨してその表面を平坦化する。酸化シリコン膜45は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0059】このように、本実施の形態では、ビット線BLおよび第1層配線38、39の上部に成膜直後でも平坦性が良好なSOG膜44を塗布し、さらにその上部に堆積した酸化シリコン膜45をCMP法で平坦化する。これにより、ビット線BL同士の微細な隙間のギャップフィリング性が向上すると共に、ビット線BLおよび第1層配線38、39の上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現できると共に、ビット線BLおよび第1層配線38、39の低抵抗化を図ることができる。

【0060】次に、図29に示すように、酸化シリコン膜45の上部に膜厚100nm程度の酸化シリコン膜46を堆積する。この酸化シリコン膜46は、CMP法で研磨されたときに生じた前記酸化シリコン膜45の表面の微細な傷を補修するために堆積する。酸化シリコン膜46は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0061】次に、図30に示すように、フォトレジスト膜47をマスクにしたドライエッチングでコンタクトホール29の上部の酸化シリコン膜46、45、SOG膜44および酸化シリコン膜31を除去してプラグ30の表面に達するスルーホール48を形成する。このエッチングは、酸化シリコン膜46、45、31およびSOG膜44に対する窒化シリコン膜のエッチングレートが小さくなるような条件で行い、スルーホール48とビット線BLの合わせずれが生じた場合でも、ビット線BL

の上部の窒化シリコン膜40やサイドウォールスペーサ43が深く削れないようにする。これにより、スルーホール48がビット線BLに対して自己整合で形成される。

【0062】次に、フォトレジスト膜47を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール48の底部に露出したプラグ30の表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、スルーホール48の側壁に露出したSOG膜44もエッチング液に曝されるが、SOG膜44は、前記800℃程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってスルーホール48の側壁が大きくアンダーカットされることはない。これにより、次の工程でスルーホール48の内部に埋め込まれるプラグとビット線BLとのショートを実際に防止することができる。また、プラグとビット線BLとを十分に離間させることができるので、ビット線BLの寄生容量の増加を抑制することができる。

【0063】次に、図31に示すように、スルーホール48の内部にプラグ49を形成する。プラグ49は、酸化シリコン膜46の上部にn型不純物(例えばP(リン))をドーパした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール48の内部に残すことにより形成する。

【0064】次に、図32に示すように、酸化シリコン膜46の上部に膜厚100nm程度の窒化シリコン膜51をCVD法で堆積した後、フォトレジスト膜52をマスクにしたドライエッチングで周辺回路領域の窒化シリコン膜51を除去する。メモリアレイに残った窒化シリコン膜51は、後述する情報蓄積用容量素子の下部電極を形成する工程で下部電極の間の酸化シリコン膜をエッチングする際のエッチングストップとして使用される。

【0065】次に、フォトレジスト膜52を除去した後、図33に示すように、窒化シリコン膜51の上部に、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で膜厚1.3μm程度の酸化シリコン膜53を堆積し、フォトレジスト膜54をマスクにしたドライエッチングで酸化シリコン膜53および窒化シリコン膜51を除去することにより、プラグ49を埋め込んだスルーホール48の上部に溝55を形成する。このとき同時に、メモリアレイの周囲にメモリアレイを取り囲む帯状の長溝59を形成する。

【0066】図34は、上記溝55と長溝59とを形成するために使用するレベンソン型の位相シフトマスク80Aを示す要部平面図である。

【0067】位相シフトマスク80Aの中央部(メモリアレイに対応する領域)には、溝55に対応する遮光パ

10

20

30

40

50

17

ターン55Aが1個のメモリセルに1個の割合で格子状に配置されている。これらの遮光パターン55A群のうち、X方向およびY方向に沿って互いに隣接する遮光パターン55A、55Aの一方（グレーの網掛けを施したもの）と他方（白抜きのもの）とは、位相シフトマスク80Aを透過する光の位相が互いに180度（理論的に）反転するように構成されている。透過光の位相を反転させるには、光の透過領域（開口部）に透明膜（シフト）を形成したり、透過領域（開口部）のガラス基板に溝を形成したりすればよい。互いに隣接する遮光パターン55A、55AのX方向に沿ったスペース（Xs）およびY方向に沿ったスペース（Ys）は、いずれも光の解像度以下の寸法であるが、最小加工寸法を解像するように最適化されている。

【0068】上記遮光パターン55A群の外側（メモリアレイと周辺回路領域との境界部に対応する領域）には、長溝59に対応する棒状の遮光パターン59Aが遮光パターン55A群を囲むように配置されている。

【0069】上記のような遮光パターン55A群とそれらを取り囲む棒状の遮光パターン59Aとを形成した位相シフトマスク80Aにおいては、隣り合った遮光パターン55A、55A間の位相を互いに180度反転させることは可能であるが、最外周部に配置された遮光パターン55A群の一部（グレーの網掛けを施した遮光パターン55A群または白抜きの遮光パターン55A群のいずれか一方）と棒状の遮光パターン59Aとは位相が同相になるため、最外周部の遮光パターン55Aと遮光パターン59Aとのスペースが光の解像度以下となる領域では十分な解像ができなくなり、半導体基板1上に形成された最外周部の溝55と長溝59とがつながってしまう。

【0070】そこで、本実施の形態では、最外周部の遮光パターン55Aと遮光パターン59Aとのスペースが光の解像度以下となる領域が生じないようにするため、最外周部の遮光パターン55Aと遮光パターン59AとのX方向に沿ったスペース（Xw）およびY方向に沿ったスペース（Yw）を、いずれも光の解像度以上の寸法とする（ $Xw > Xs$ 、 $Yw > Ys$ ）。このようにすると、最外周部の遮光パターン55Aと遮光パターン59Aとが同相となる領域でも十分な解像度が得られるため、光の波長以下の微細な溝55と長溝59を良好な寸法精度で形成することができる。

【0071】次に、フォトリソ膜54を除去した後、図35に示すように、酸化シリコン膜53の上部にn型不純物（例えばP（リン））をドーパした膜厚60nm程度の多結晶シリコン膜56をCVD法で堆積する。この多結晶シリコン膜56は、情報蓄積用容量素子の下部電極材料として使用される。

【0072】次に、図36に示すように、多結晶シリコン膜56の上部に溝55および長溝59を埋め込むのに

18

十分な膜厚（例えば300～400nm程度）のSOG膜57を堆積し、次いで400℃程度の熱処理でSOG膜57をベークした後、図37に示すように、SOG膜57をエッチバックして酸化シリコン膜53の上部の多結晶シリコン膜56を露出させ、続いてこの多結晶シリコン膜56をエッチバックすることにより、溝55および長溝59の内側（内壁および底部）に多結晶シリコン膜56を残す。このとき、溝55および長溝59の内側にはエッチバックされなかったSOG膜57も残っている。

【0073】次に、図38に示すように、周辺回路領域の酸化シリコン膜53をフォトリソ膜58で覆い、フッ酸系のエッチング液を用いて溝55の内部のSOG膜57と溝55の隙間の酸化シリコン膜53とをウェットエッチングすることにより、情報蓄積用容量素子の下部電極60を形成する。このとき、溝55の隙間の底部には窒化シリコン膜51が形成されているので、この隙間の酸化シリコン膜53が全部除去されてもその下部の酸化シリコン膜46がエッチング液によって削られることはない。

【0074】周辺回路領域の酸化シリコン膜53を覆う上記フォトリソ膜58の一端部は、メモリアレイと周辺回路領域との境界部、すなわち長溝59の上部に配置される。従って、上記のウェットエッチングを行うと、この長溝59の内部のSOG膜57も除去されるが、長溝59の内壁の下部電極材料（多結晶シリコン膜56）がエッチングストップとなるので、SOG膜57の側壁が削られることはない。また、周辺回路領域の酸化シリコン膜53の表面はフォトリソ膜58によって覆われているので、その表面が削られることもない。これにより、メモリアレイと周辺回路領域との段差が解消され、併せて周辺回路領域の平坦化が実現される。

【0075】次に、周辺回路領域を覆うフォトリソ膜58を除去し、次いで下部電極60を構成する多結晶シリコン膜（56）の酸化を防止するために、半導体基板1をアンモニア雰囲気中、800℃程度で熱処理して多結晶シリコン膜（56）の表面を窒化した後、図39に示すように、下部電極60の上部に膜厚20nm程度の Ta_2O_5 （酸化タンタル）膜61をCVD法で堆積し、次いで半導体基板1を800℃程度で熱処理して Ta_2O_5 膜61の欠陥を修復する。この Ta_2O_5 膜61は、情報蓄積用容量素子の容量絶縁膜材料として使用される。

【0076】次に、図40に示すように、 Ta_2O_5 膜61の上部にCVD法とスパッタリング法とで膜厚150nm程度のTiN膜62を堆積した後、フォトリソ膜63をマスクにしたドライエッチングでTiN膜62および Ta_2O_5 膜61をパターニングすることにより、TiN膜62からなる上部電極と、 Ta_2O_5 膜61からなる容量絶縁膜と、多結晶シリコン膜56からな

10

20

30

40

50

る下部電極60とで構成される情報蓄積容量素子Cを形成する。これにより、メモリセル選択用MISFET Qsとこれに直列に接続された情報蓄積容量素子Cとで構成されるDRAMのメモリセルが略完成する。

【0077】次に、フォトリソ膜63を除去した後、図41に示すように、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で情報蓄積容量素子Cの上部に膜厚100nm程度の酸化シリコン膜64を堆積し、フォトリソ膜65をマスクにしたドライエッチングで周辺回路の第1層配線38の上部の酸化シリコン膜64、酸化シリコン膜53、酸化シリコン膜46、45、SOG膜44および窒化シリコン膜40を除去することにより、スルーホール66を形成する。

【0078】次に、フォトリソ膜65を除去した後、図42に示すように、スルーホール66の内部にプラグ67を形成し、続いて酸化シリコン膜64の上部に第2層配線68、69を形成する。プラグ67は、酸化シリコン膜64の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール66の内部に残すことにより形成する。第2層配線68、69は、酸化シリコン膜64の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜を堆積した後、フォトリソ膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

【0079】次に、図43に示すように、第2層配線68、69の上部に層間絶縁膜を堆積する。層間絶縁膜は、例えば膜厚300nm程度の酸化シリコン膜71、膜厚400nm程度のSOG膜72および膜厚300nm程度の酸化シリコン膜73で構成する。酸化シリコン膜71、73は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。また、SOG膜72のベークは、Al膜を主体とする第2層配線68、69の劣化を防止するために、400℃程度の温度で行う。

【0080】次に、図44に示すように、情報蓄積容量素子Cの上部の層間絶縁膜にスルーホール74を形成し、周辺回路の第2層配線69の上部の層間絶縁膜にスルーホール75を形成した後、スルーホール74、75の内部にプラグ76を形成し、続いて層間絶縁膜の上部に第3層配線77、78、79を形成する。スルーホール74、75は、フォトリソ膜をマスクにしたドライエッチングで酸化シリコン膜73、SOG膜72および酸化シリコン膜64を除去することにより形成する。プラグ76は、層間絶縁膜の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、こ

れらの膜をエッチバックしてスルーホール74、75の内部に残すことにより形成する。第3層配線77~79は、層間絶縁膜の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl膜、膜厚50nm程度のTi膜を堆積した後、フォトリソ膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

【0081】その後、図示は省略するが、第3層配線77~79の上部に酸化シリコン膜と窒化シリコン膜との積層膜などで構成されるバッシベーション膜を堆積する。以上の工程により、本実施の形態のDRAMが略完成する。

【0082】(実施の形態2) 図45は、前述した溝55と長溝59とを形成するために使用するレベンソン型の位相シフトマスク80Bを示す要部平面図である。

【0083】この位相シフトマスク80Bの中央部に配置された遮光パターン55B(溝55に対応する遮光パターン)群のうち、互いに隣接する遮光パターン55B、55BのX方向に沿ったスペース(Xs)およびY方向に沿ったスペース(Ys)は、いずれも光の解像度以下の寸法であるが、最小加工寸法を解像するように最適化されている。また、X方向およびY方向に沿って互いに隣接する遮光パターン55B、55Bの一方と他方とは、位相シフトマスク80Bを透過する光の位相が互いに180度(理論的に)反転するように構成されている。

【0084】同様に、遮光パターン55B群の外側に配置された遮光パターン59B(長溝59に対応する遮光パターン)と、最外周部に配置されたすべての遮光パターン55B群とは、位相が互いに反転するように構成されている。

【0085】この位相シフトマスク80Bを使用した場合は、最外周部の遮光パターン55Bとその外側の遮光パターン59BとのX方向に沿ったスペース(Xw)およびY方向に沿ったスペース(Yw)を、いずれも光の解像度以下の寸法(Xw=Xs、Yw=Ys)とした場合でも十分な解像度が得られるため、光の波長以下の微細な溝55と長溝59を良好な寸法精度で形成することができる。

【0086】図46に示す位相シフトマスク80Cも上記位相シフトマスク80Bと同様、遮光パターン55C(溝55に対応する遮光パターン)群の外側に配置された遮光パターン59C(長溝59に対応する遮光パターン)は、最外周部に配置されたすべての遮光パターン55C群と位相が逆相になるように構成されている。

【0087】従って、最外周部の遮光パターン55Bとその外側の遮光パターン59BとのX方向に沿ったスペース(Xw)およびY方向に沿ったスペース(Yw)を、いずれも光の解像度以下の寸法(Xw=Xs、Yw=Ys)とした場合でも十分な解像度が得られるので、

光の波長以下の微細な溝55と長溝59を良好な寸法精度で形成することができる。

【0088】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0089】例えば、下部電極材料は多結晶シリコン膜に限定されるものではなく、金属膜などで構成してもよい。

【0090】本発明は、ロジックLSIとDRAMとを混載したLSIなどに適用することもできる。

【0091】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0092】本発明のDRAMによれば、情報蓄積容量素子の下部電極の加工精度を向上させることができるので、DRAMの微細化を推進することができ、これにより、高集積、大容量のDRAMを実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるDRAMを形成した半導体チップの全体平面図である。

【図2】本発明の実施の形態1であるDRAMの等価回路図である。

【図3】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

10 【図19】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

20 【図24】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

30 【図29】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図32】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

40 【図34】本発明の実施の形態1で使用するレベンソン型の位相シフトマスクを示す要部平面図である。

【図35】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図36】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図37】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図38】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

50 【図39】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図40】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図41】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図42】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図43】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図44】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図45】本発明の実施の形態2で使用するレベンソン型の位相シフトマスクを示す要部平面図である。

【図46】本発明の実施の形態2で使用するレベンソン型の位相シフトマスクを示す要部平面図である。

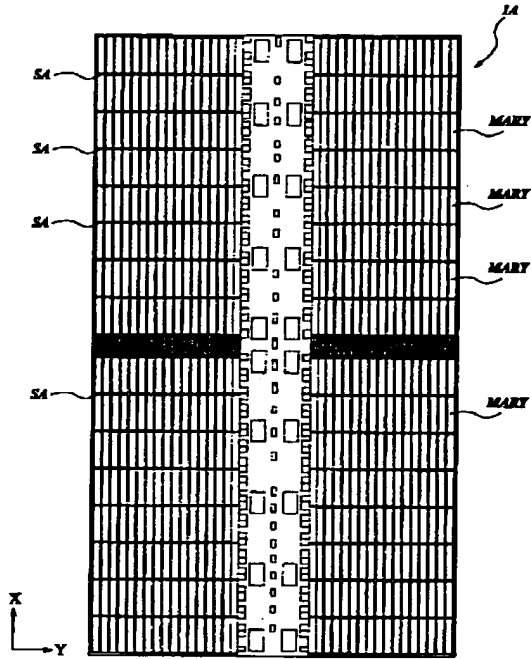
【符号の説明】

1 半導体基板
1A 半導体チップ
2 酸化シリコン膜
3 窒化シリコン膜
4 フォトリソグ膜
5 素子分離溝
5a 溝
6 酸化シリコン膜
7 酸化シリコン膜
8 窒化シリコン膜
9 フォトリソグ膜
10 n型半導体領域
11 p型ウエル
12 n型ウエル
13 ゲート酸化膜
14A~14C ゲート電極
15 窒化シリコン膜
16 フォトリソグ膜
17 p⁻型半導体領域
18 n⁻型半導体領域
19 n型半導体領域
20 窒化シリコン膜
20a サイドウォールスペーサ
21 フォトリソグ膜
22 p⁺型半導体領域
23 n⁺型半導体領域
24 SOG膜
24a、24b SOG膜
25 酸化シリコン膜
26 酸化シリコン膜
27 フォトリソグ膜
28 コンタクトホール
29 コンタクトホール
30 プラグ
31 酸化シリコン膜

32 フォトリソグ膜
33 フォトリソグ膜
34~37 コンタクトホール
38、39 第1層配線
40 窒化シリコン膜
41 フォトリソグ膜
42 TiSi₂層
43 サイドウォールスペーサ
44 SOG膜
45 酸化シリコン膜
46 酸化シリコン膜
47 フォトリソグ膜
48 スルーホール
49 プラグ
51 窒化シリコン膜
52 フォトリソグ膜
53 酸化シリコン膜
54 フォトリソグ膜
55 溝
55A~55C 遮光パターン
56 多結晶シリコン膜
57 SOG膜
58 フォトリソグ膜
59 長溝
59A~59C 遮光パターン
60 下部電極
61 Ta₂O₅(酸化タンタル)膜
62 TiN膜(上部電極)
63 フォトリソグ膜
64 酸化シリコン膜
65 フォトリソグ膜
66 スルーホール
67 プラグ
68、69 第2層配線
71 酸化シリコン膜
72 SOG膜
73 酸化シリコン膜
74、75 スルーホール
76 プラグ
77~79 第3層配線
80A~80C 位相シフトマスク
BL ビット線
C 情報蓄積容量素子
MARY メモリアレイ
Qn nチャネル型MISFET
Qp pチャネル型MISFET
Qs メモリセル選択用MISFET
SA センスアンパ
WD ワードドライバ

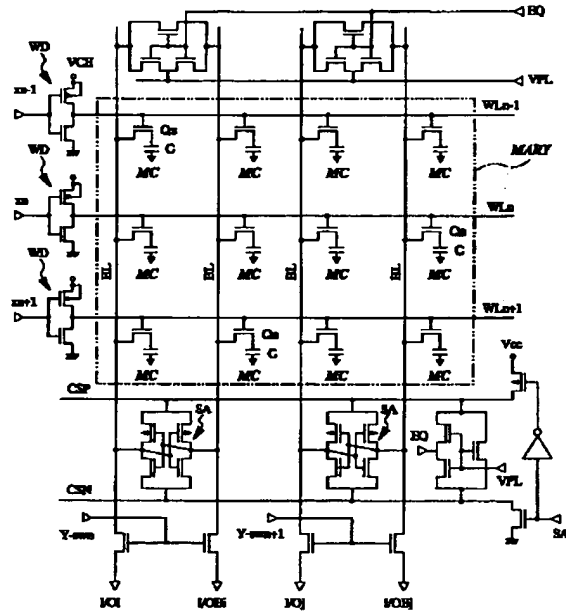
【図1】

図 1



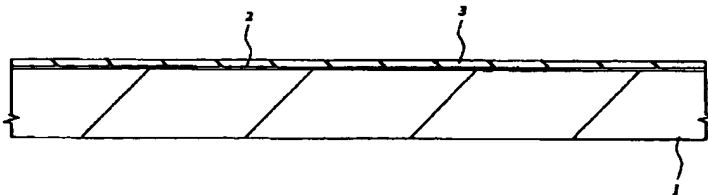
【図2】

図 2



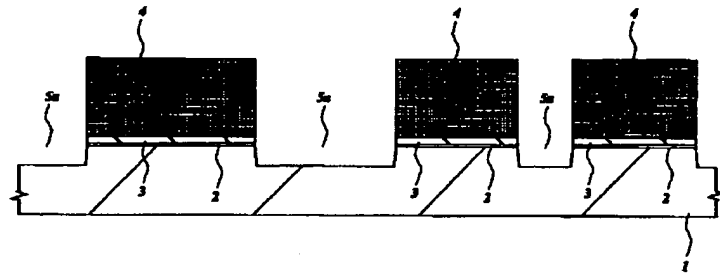
【図3】

図 3



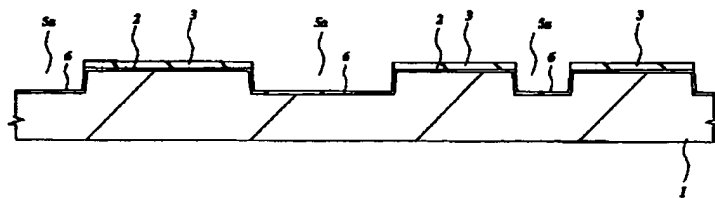
【図4】

図 4



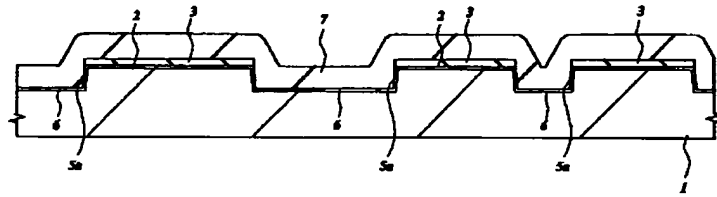
【図5】

図 5



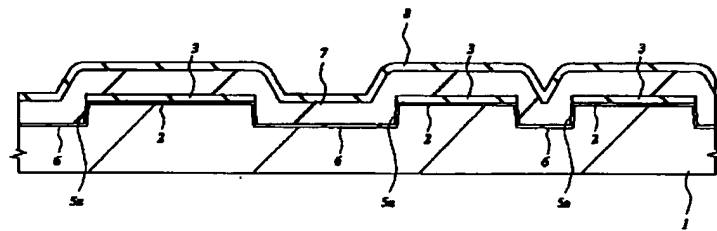
【図6】

図 6



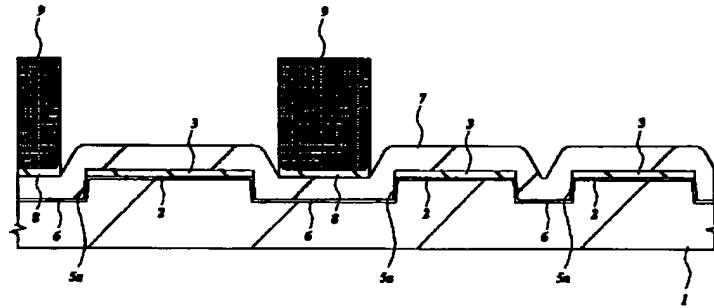
【図7】

図 7



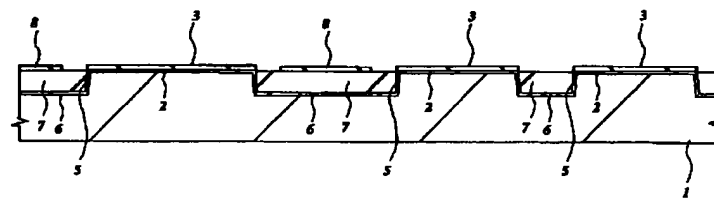
【図8】

図 8



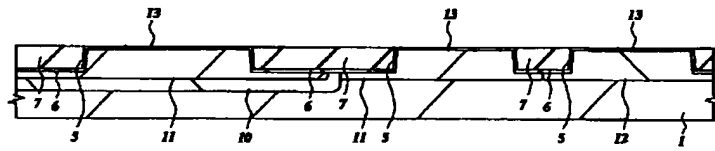
【図9】

図 9



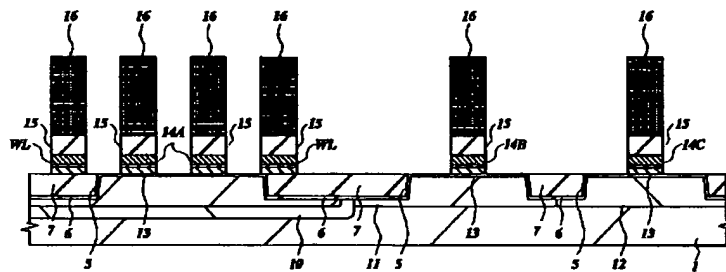
【図10】

図 10



【図11】

図 11

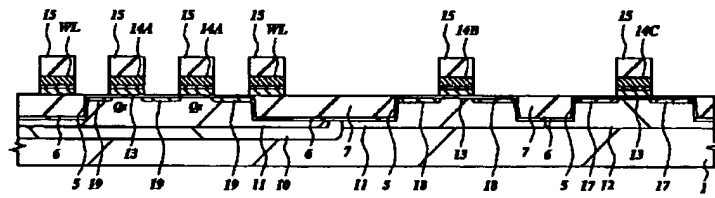


(19)

特開平11-17146

【図12】

図 12



【図13】

図 13

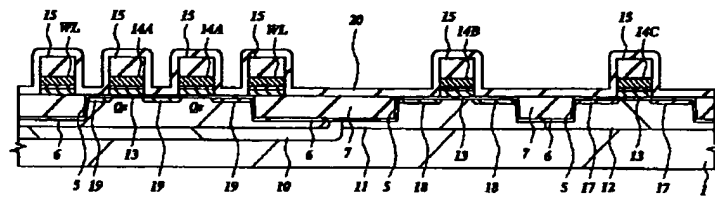
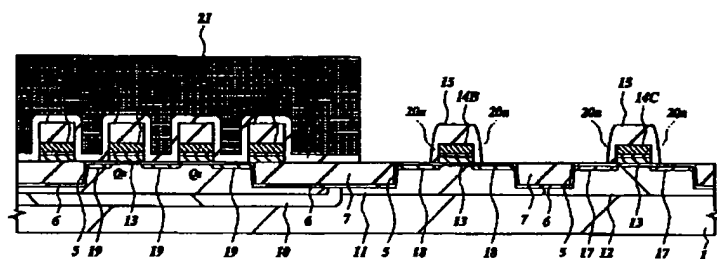
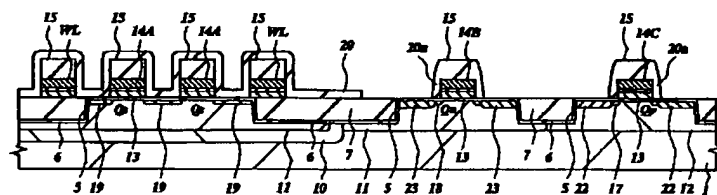


图 14

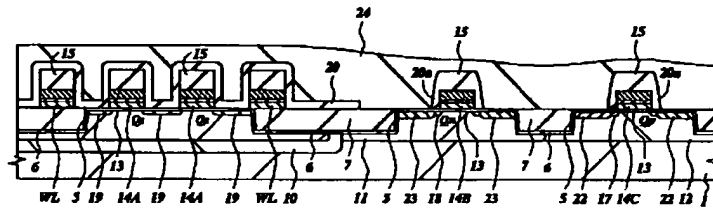


15



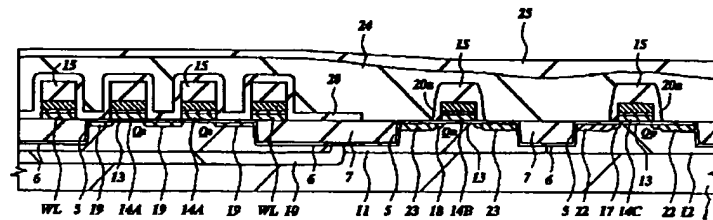
【図16】

図 16



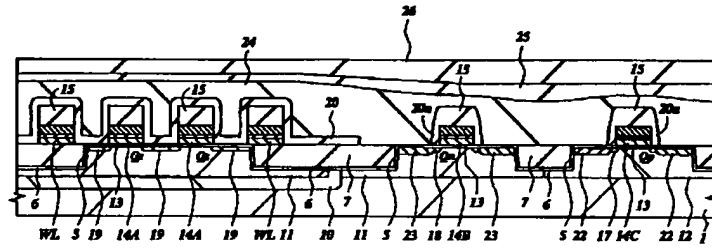
【図17】

図 17



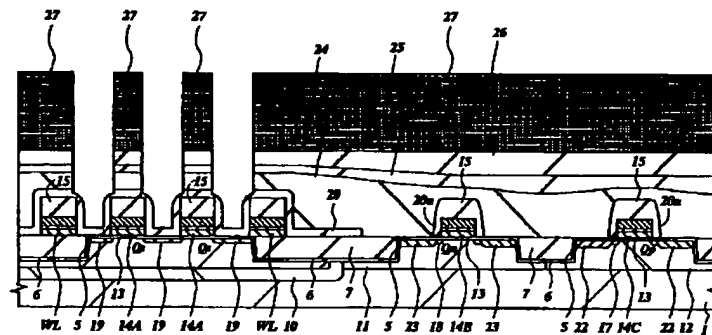
【図18】

図 18



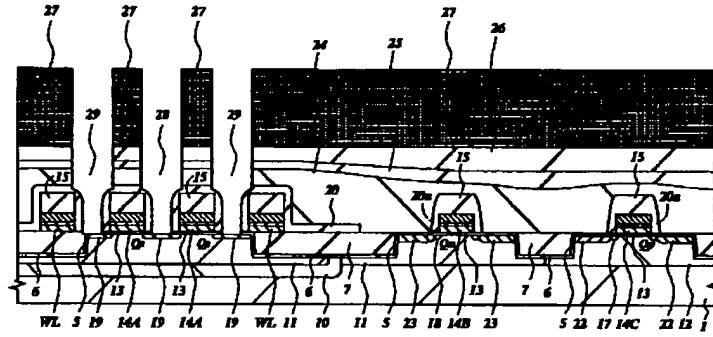
【図19】

図 19



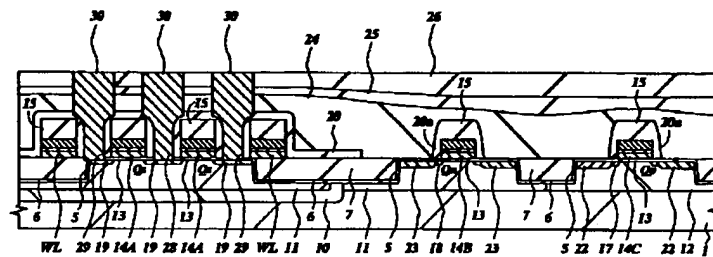
【図20】

図 20



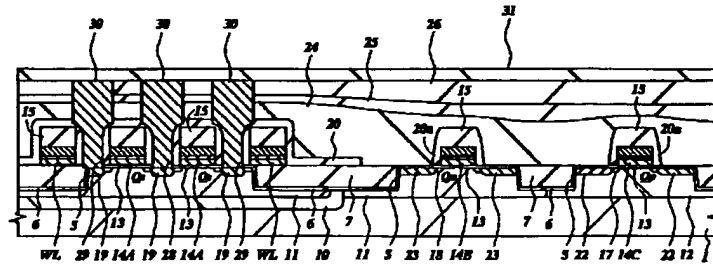
【図21】

図 21



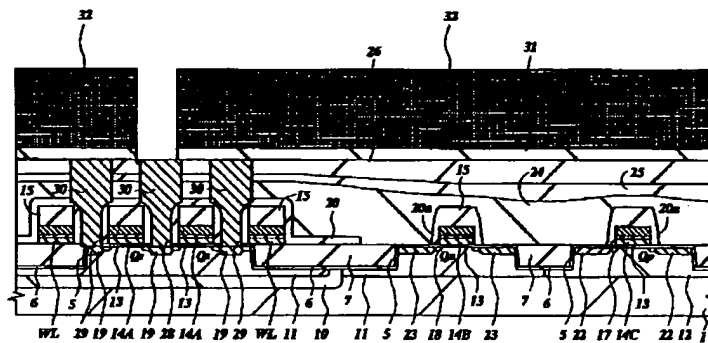
【図22】

図 22



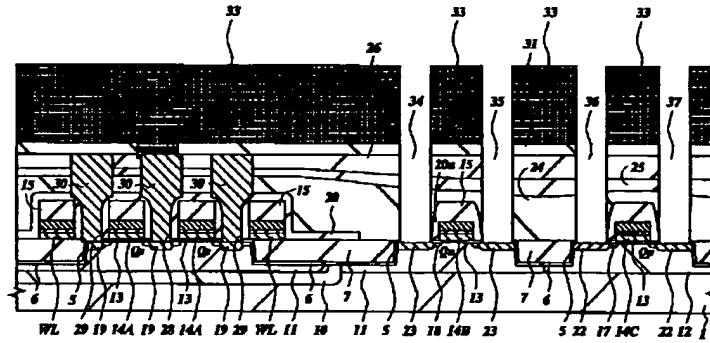
【図23】

図 23



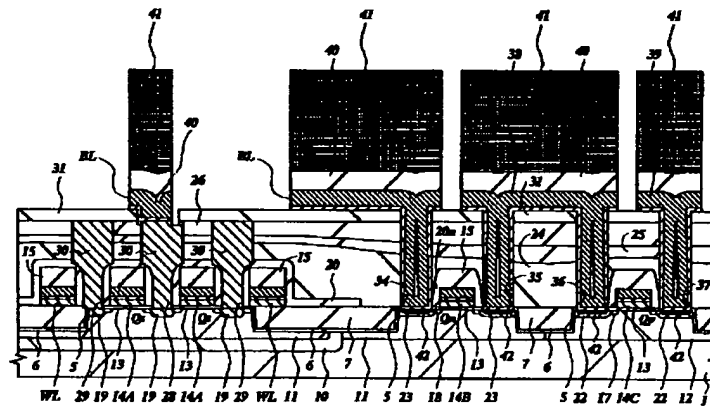
【図24】

図 24



【図25】

図 25



26

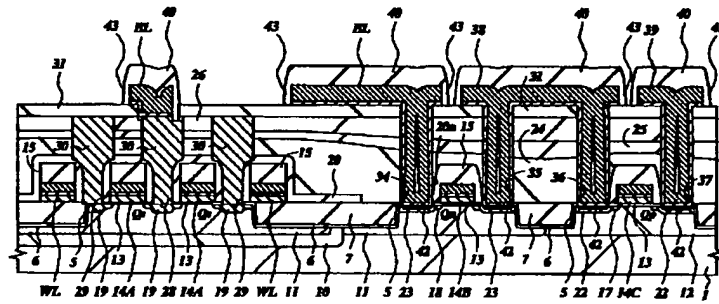
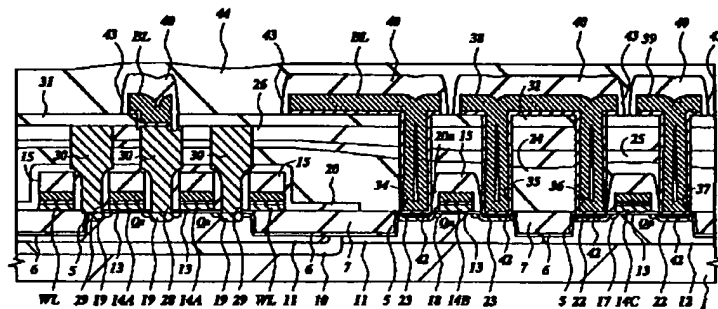
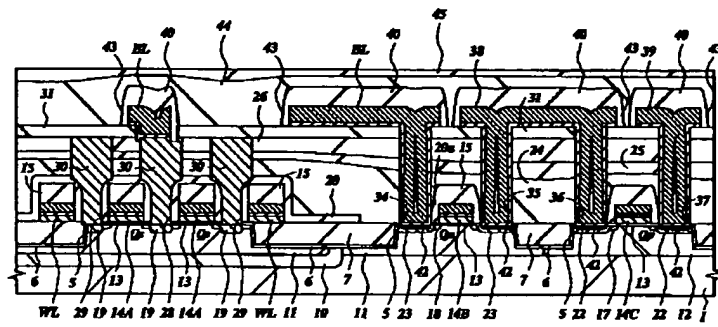


图 27



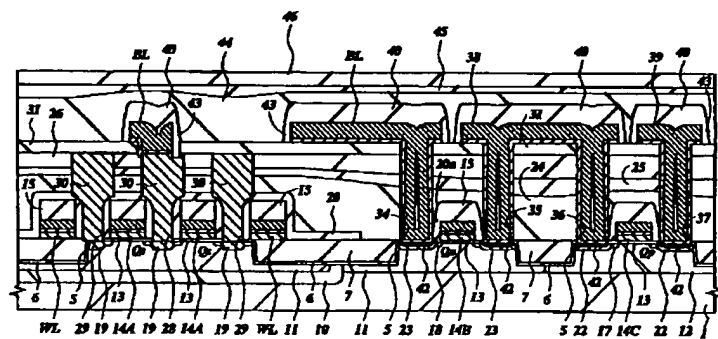
【図28】

図 28



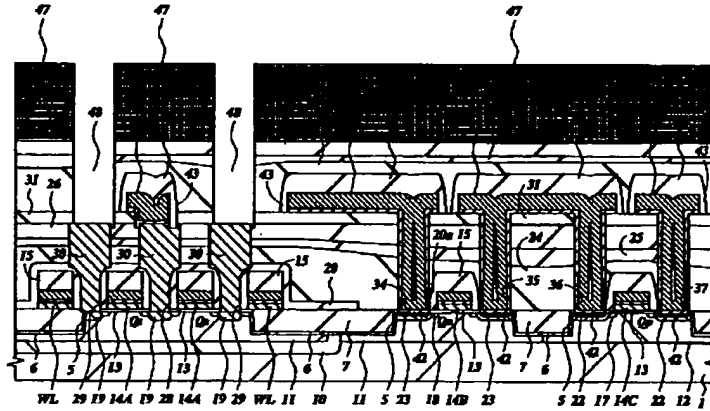
【図29】

図 29



【図30】

図 30



【図31】

図 31

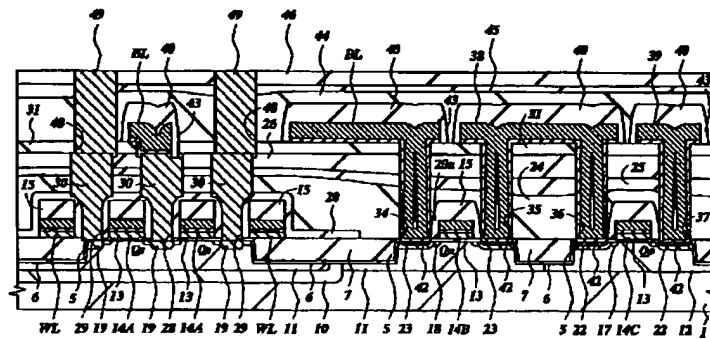
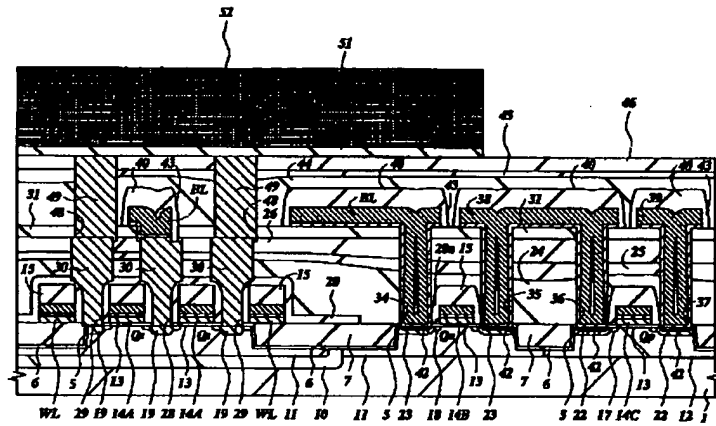
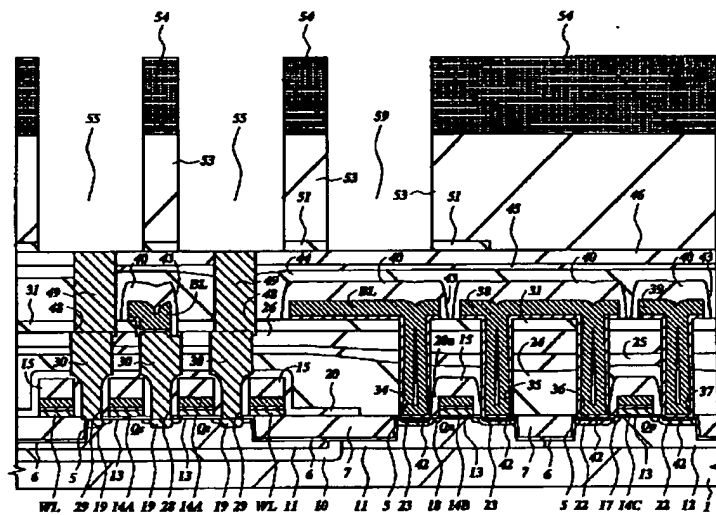


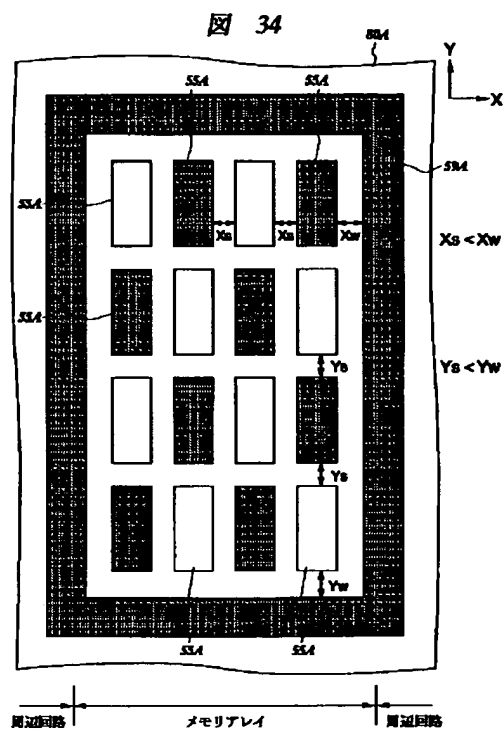
图 32



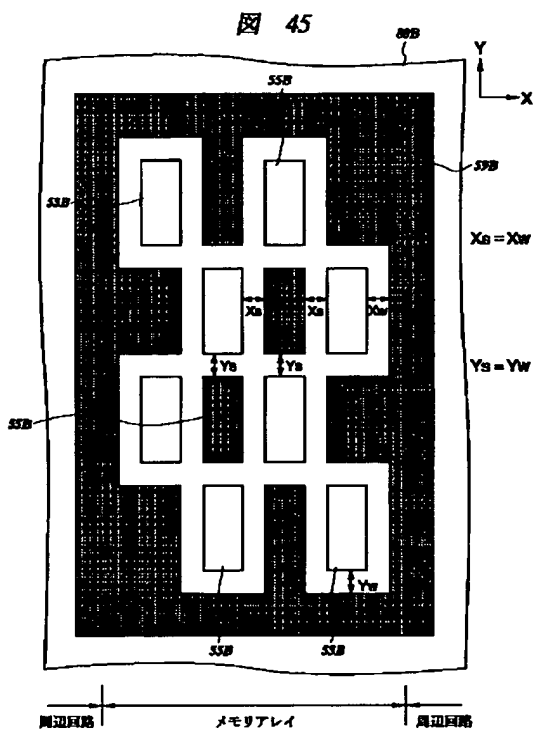
33



【図34】

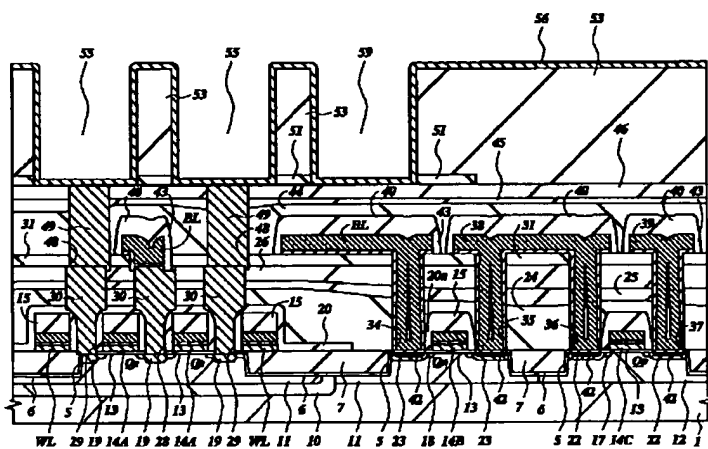


【図45】



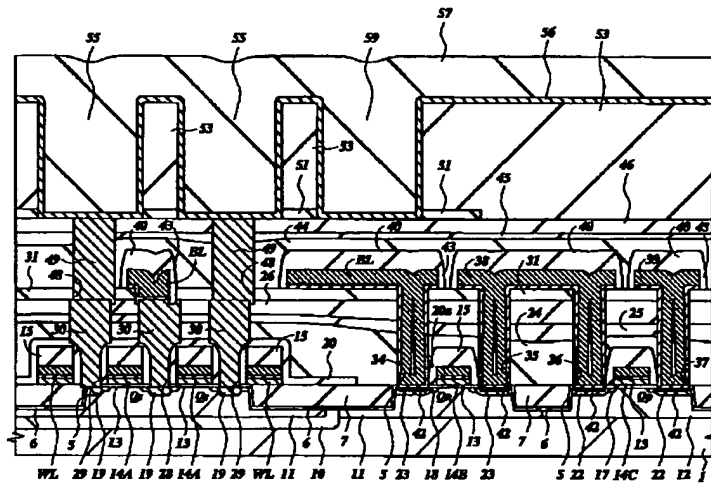
【図35】

図 35



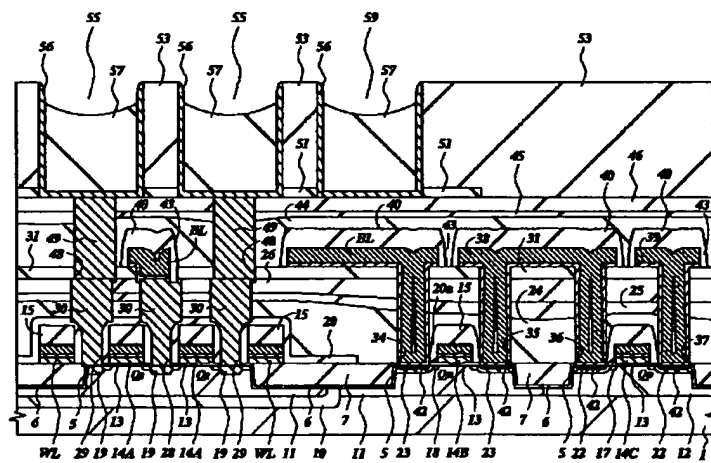
【図36】

図 36



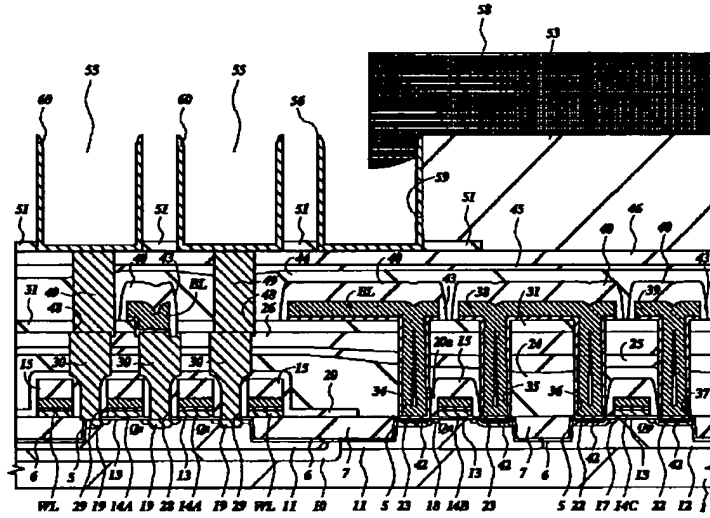
【図37】

図 37



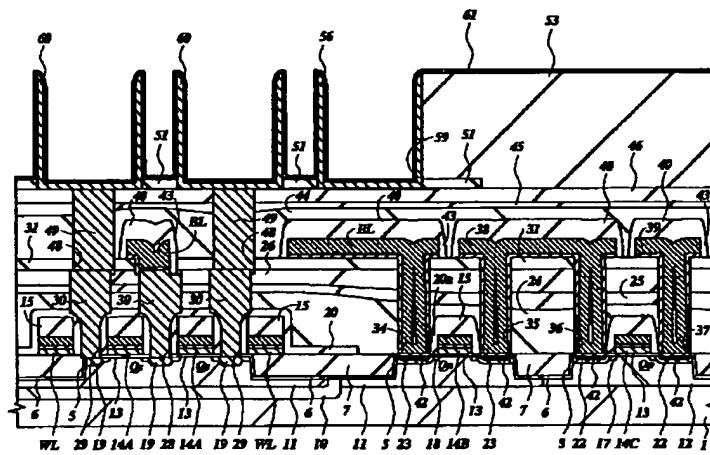
【図38】

図 38



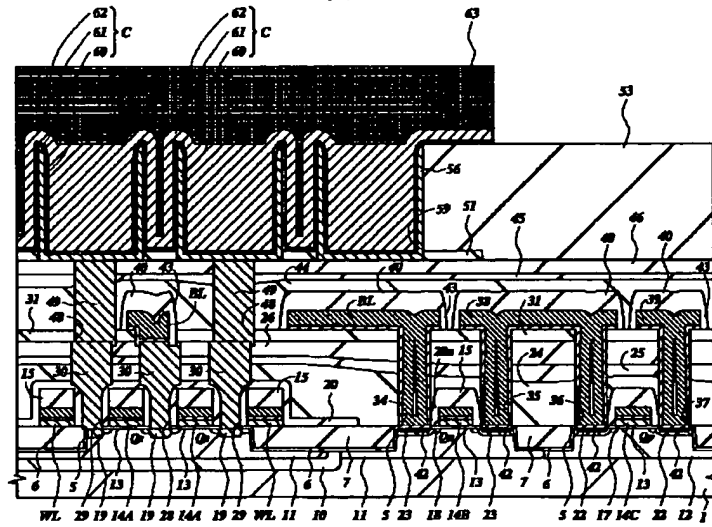
【図39】

図 39



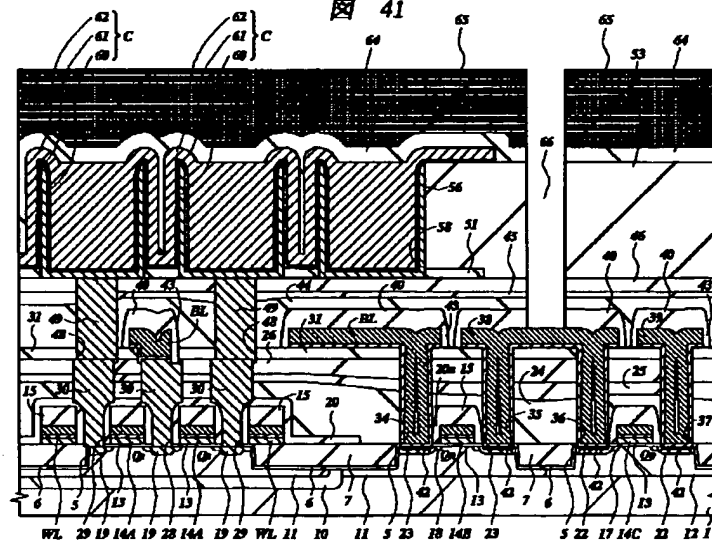
【図40】

40



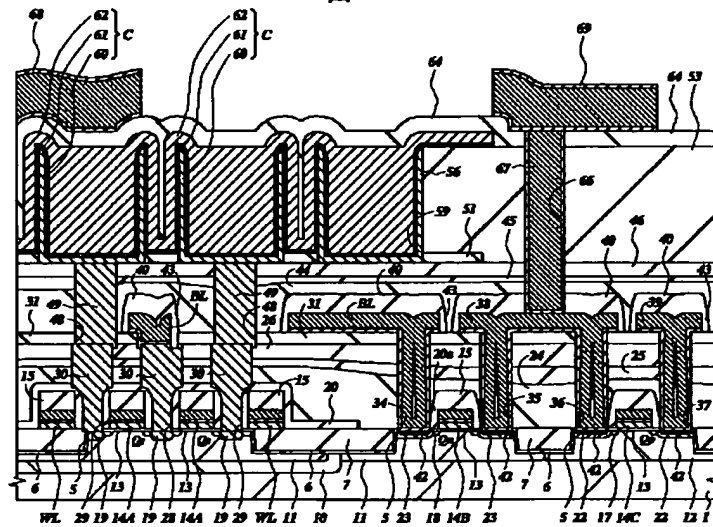
【図4 1】

41



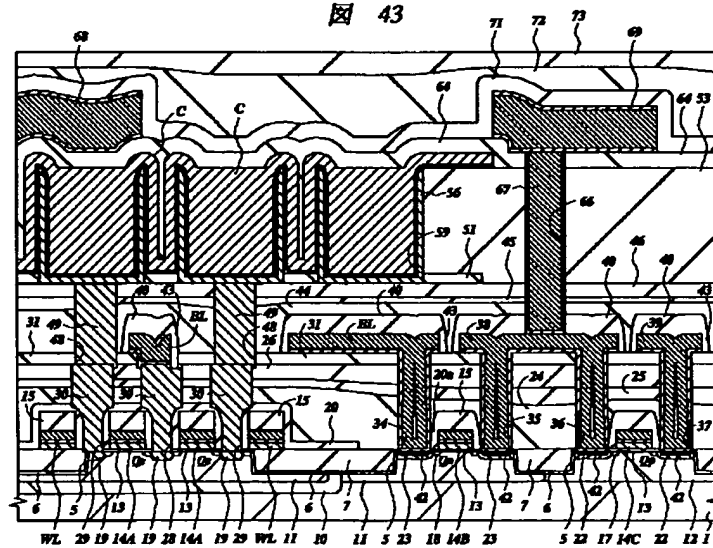
【例42】

42

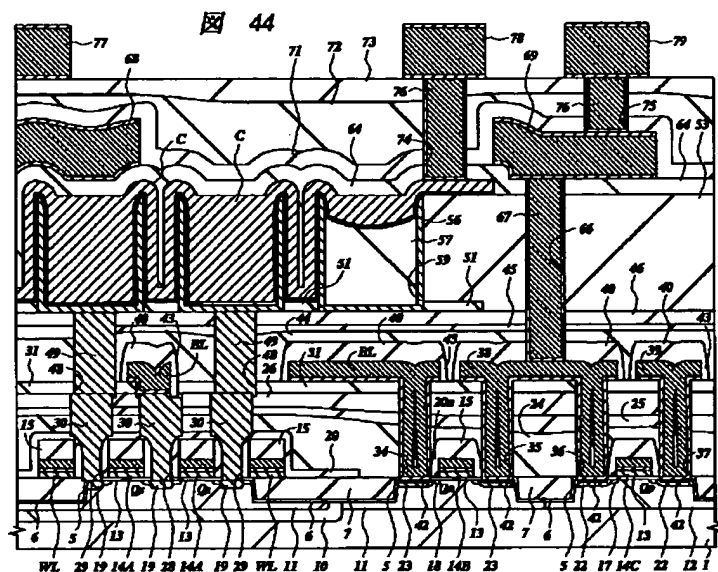


【図43】

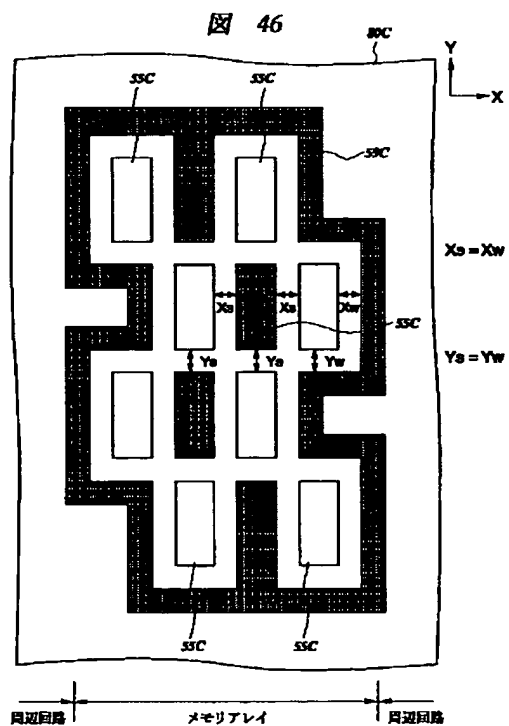
43



【图44】



【图46】



フロントページの続き

(51)Int. Cl.⁶

識別記号

F I

H 0 1 L 27/10

6 8 1 E

(72)発明者 中村 吉孝

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 今井 彰

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内